

⑯ 日本国特許庁 (JP) ⑮ 特許出願公開
 ⑰ 公開特許公報 (A) 昭55—61064

⑯ Int. Cl. ³ H 01 L 29/72 27/08 29/64	識別記号	序内整理番号 7514—5F 6426—5F 7638—5F	⑮ 公開 昭和55年(1980)5月8日 発明の数 1 審査請求 未請求
---	------	---	--

(全4頁)

⑯ ショットキーバリアダイオード内蔵トランジ
スタ

川崎市川崎区田辺新田1番1号
富士電機製造株式会社内

⑰ 出願人 富士電機製造株式会社
川崎市川崎区田辺新田1番1号
⑯ 代理人 弁理士 山口巖

⑯ 特願 昭53—133895
⑯ 出願 昭53(1978)10月31日
⑯ 発明者 重兼寿夫

明細書

1. 発明の名称 ショットキーバリアダイオード内蔵トランジスタ

2. 特許請求の範囲

- 1) トランジスタの低不純物濃度層の表面にショットキーフェルス壁を形成する少なくとも一つの金属電極を被着し、該電極を前記トランジスタのベースまたはコレクタに接続したことを特徴とするショットキーバリアダイオード内蔵トランジスタ。
- 2) 特許請求の範囲第1項記載のトランジスタにおいて、コレクタ領域の表面にショットキーフェルス壁を形成する金属電極を被着し、該電極をベース電極に接続したことを特徴とするショットキーバリアダイオード内蔵トランジスタ。
- 3) 特許請求の範囲第1項記載のトランジスタにおいて、ベース領域内にこれと異なる導電形の互いに隣接しそれぞれ半導体表面に露出する低不純物濃度層と高不純物濃度層を設け、前記低不純物濃度層の表面にショットキーフェルス壁を形成する金属電極を被着し、前記高不純物濃度層の表面に

オーム接觸を形成する金属電極を被着し、該ショットキーフェルス壁電極をベース電極に該オーム接觸電極をコレクタ電極に接続したことを特徴とするショットキーバリアダイオード内蔵トランジスタ。

4) 特許請求の範囲第1項記載のトランジスタにおいて、ベース領域が互いに隣接する低不純物濃度層と高不純物濃度層から成り、該低不純物濃度層の表面にショットキーフェルス壁を形成する金属電極を被着し、該高不純物濃度層の表面にオーム接觸を形成する金属電極を被着し、該ショットキーフェルス壁電極をコレクタ電極に該オーム接觸電極をベース電極に接続したことを特徴とするショットキーバリアダイオード内蔵トランジスタ。

5) 特許請求の範囲第1項記載のトランジスタにおいて、ベース領域内にこれと異なる導電形の互いに隣接しそれぞれ半導体表面に露出する低不純物濃度層および高不純物濃度層ならびに同じ導電形の高不純物濃度層を設け、前記低不純物濃度層および本来のベース領域の各表面にそれぞれショットキーフェルス壁を形成する金属電極を被着して互

いに接続し、前記両高不純物濃度層の各表面にそれぞれオーム接觸を形成する金属電極を形成して互いに接続したことを特徴とするショットキーパリアダイオード内蔵トランジスタ。

6) 特許請求の範囲第1項記載のトランジスタにおいて、ベース領域内にこれと異なる導電形の互いに隣接しそれぞれ半導体表面に露出する低不純物濃度層および高不純物濃度層ならびに同じ導電形の高不純物濃度層を設け、前記低不純物濃度層、本来のベース領域ならびにコレクタ領域の各表面にそれぞれショットキー形障壁を形成する金属電極を被着して互いに接続し、前記両高不純物濃度層の各表面にそれぞれオーム接觸を形成する金属電極を形成して互いに接続したことを特徴とするショットキーパリアダイオード内蔵トランジスタ。

3. 発明の詳細な説明

本発明は過剰のベース電流が流れるとされるのを阻止するためにショットキーパリアダイオードを同一半導体片に内蔵するトランジスタに関する。

一般的にトランジスタの蓄積時間はベースドラ

- 3 -

イブ条件で決まるとされている。すなわちベース電流を過剰にトランジスタに流した場合蓄積時間は長くなる。この対策として第1図(a)のようにコレクタ・ベース間にコレクタキャッチャダイオードと呼ばれるダイオードD₁を接続し、これに過剰ベース電流を分流することにより、トランジスタを過飽和状態に追い込まないで蓄積時間を短くする方法が知られている。また第1図(b)のようにベース端子Bとベース電極およびコレクタ電極の間にダイオードD₂、D₃を接続して、トランジスタの飽和電圧を低下させる方法や、さらに第1図(c)のようにベース端子とベース電極の間には逆並列接続したダイオードD₄、D₅を吸収ダイオードとして接続する方法も知られている。しかしこれらのダイオードは、いずれも個別素子を接続したものであり、部品数も組立工数もふえ、占有面積も大きくなるなどの欠点があつた。

本発明の目的は、このような過剰ベース電流阻止のためのダイオードを同一半導体片内に有するダイオード内蔵トランジスタを簡単な構成で得る

- 4 -

ことにある。

この目的はトランジスタの低不純物濃度層の表面に、ショットキー形障壁を形成する少なくとも一つの金属電極を被着し、その電極をトランジスタのベースまたはコレクタに接続することによつて達せられる。

以下本発明を図を用いて詳細に説明する。第2図はN形半導体基板2にP形のベース領域2と、さらにその内部に基板より高不純物濃度のN形のエミッタ領域3を設けたトランジスタにおいて、基板本来のコレクタ領域1の表面にモリブデン又は白金などの金属電極4を被着してショットキー形障壁を形成し、この電極4とベース電極5とを半導体表面に絶縁層を介して設けられる金属配線により接続したものである。このよう構成で第1図(a)に対応する回路が形成できる。しかしショットキー形障壁のカソード側にコレクタ領域1の抵抗が直列に入るのを防ぐため、コレクタ領域1の端部に高不純物濃度層6を設ければ、ショットキー形障壁のカソード側はこの低抵抗層6と半導

体基板端面7を介してコレクタ電極8に接続される。この基板端面8は切断による歪および吸着不純物のために再結合中心が多く低抵抗であるので、この経路は半導体素体内のコレクタ領域に比してはるかに抵抗が低い。第2図(b)はベース領域2の不純物濃度が低く、その表面に例えばNi又はPtの金属電極4'を設ければショットキー形障壁が形成される場合である。この場合ベース電極5はベース領域2に設けられた高不純物濃度層2'層21に接觸する。ショットキー形障壁のアノード側は、コレクタ領域1の端部に第2図(a)と同様に設けたP層6に接する金属電極9および端面7を介してコレクタ電極8に接続される。第2図(c)においてはベース領域2内にエミッタ領域3とは別にN形領域を設ける。このN形領域は連続した低不純物濃度層10と高不純物濃度層11より成り、低不純物濃度層10に金属電極42を被着してショットキー形障壁を形成し、高不純物濃度層11に金属電極12を被着してオーム接觸を形成すれば、電極42と12はショットキーパリアダイオードの両電極となる。従つ

- 5 -

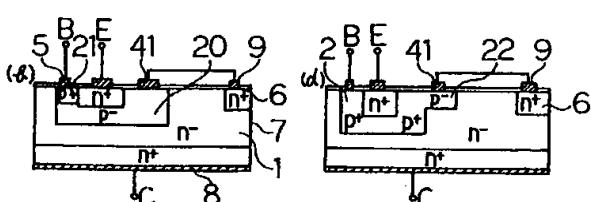
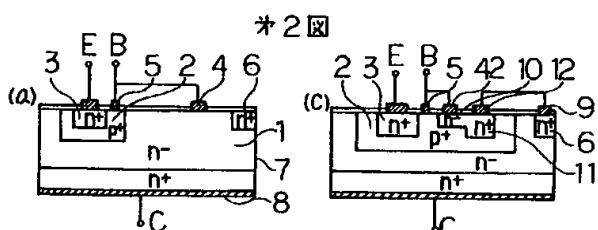
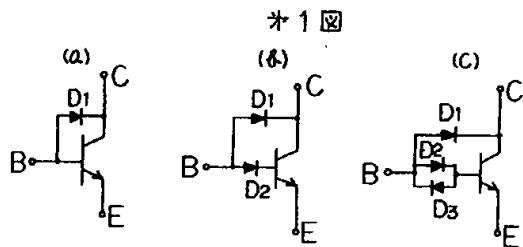
- 6 -

これら電極をそれぞれベース電極5およびコレクタ領域端部のp⁺層6上の電極9に接続すれば、第2図(a)、(b)同様第1図(c)による等価回路を形成する。同じ回路は第2図(d)の構成でも実現できる。この場合は第2図(d)、(e)と同様ベース領域2が低抵抗でショットキー形障壁を形成できないので、ベース領域に隣接して低不純物濃度p⁻層22を拡散法により設け、これに金属性電極41を被着してショットキー形障壁を形成する。

第3図は、第1図(c)の等価回路に対応するショットキーバリアダイオード内蔵トランジスタである。この場合は、低不純物濃度ベース領域20に直接ショットキー形障壁を形成する電極41を被着し、また別に設けられた隣接する低不純物濃度層10および高不純物濃度層11より成るロ形領域により、ショットキーバリアダイオードのアノード41とカソード12を形成し、このカソード電極12をベース領域の高不純物濃度p⁺層21にオーム接觸する電極16と接続する。一方コレクタ領域1の表面には、第2図(b)と同様にショットキー形障壁を形成する

特開昭55-61064(3)
電極4を被着し、コレクタ領域1の端部には同様にp⁺層6を設け、電極4、電極41、電極42をベース端子Bに接続すれば、第1図(c)の回路が構成される。すなわち電極4においてショットキーバリアダイオードD1、電極41においてショットキーバリアダイオードD3、電極42においてショットキーバリアダイオードD2が形成される。この構成において電極41を省略すれば第1図(b)の等価回路を得ることとは明らかである。

以上の各実施例において明らかのように、本発明によれば、トランジスタの過剰ベース電流の防止あるいは蓄積時間の改善に有効なベース・コレクタ間に接続されるショットキーバリアダイオードが、通常の半導体製造技術を用いて簡めて単純な構成により大きな占有面積を必要とすることなくトランジスタと同一半導体片に内蔵することができ、信頼性、経済性の点において有効に適用することができる。しかもショットキーバリアダイオードは順電圧降下が低く、スイッチング時間も短いという特性を持っているので、本発明によつ



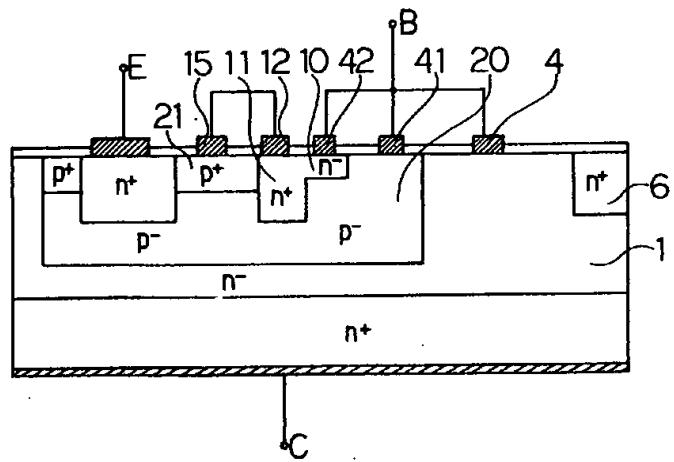
てつくられたトランジスタは通常のダイオード個別素子を接続した場合にくらべて飽和電圧が低く、スイッチングが速い特性を持つ効果が得られる。なお上記の各実施例はnpnトランジスタについて述べたが、初論pnpトランジスタにおいても同様に実施できる。

4. 図面の簡単な説明

第1図は本発明によつて得られるダイオード内蔵トランジスタの等価回路図、第2図は本発明の実施例を示す断面図、第3図は本発明の他の実施例を示す断面図である。

1…コレクタ領域、2、20…ベース領域、21…ベース領域の高不純物半導物濃度層、22…ベース領域の低不純物濃度層、10…ベース領域内の異なる導電形の低不純物濃度層、11…ベース領域内の異なる導電形の高不純物濃度層、4、41、42…ショットキー形障壁電極。

図3



CLIPPEDIMAGE= JP355061064A

PAT-NO: JP355061064A

DOCUMENT-IDENTIFIER: JP 55061064 A

TITLE: SCHOTTKY BARRIER DIODE BUILT-IN TRANSISTOR

PUBN-DATE: May 8, 1980

INVENTOR-INFORMATION:

NAME

SHIGEKANE, TOSHIO

ASSIGNEE-INFORMATION:

NAME

FUJI ELECTRIC CO LTD

COUNTRY

N/A

APPL-NO: JP53133895

APPL-DATE: October 31, 1978

INT-CL (IPC): H01L029/72; H01L027/08 ; H01L029/64

US-CL-CURRENT: 257/479

ABSTRACT:

PURPOSE: To check surplus base current by making an electrode for forming a Schottky barrier on the surface of a transistor low impurities density layer and connecting said electrode with a base or a collector.

CONSTITUTION: On an n-type semiconductor base plate 1, a p<SP>+</SP> base layer 2 is made and in the layer 2 an n<SP>+</SP> emitter layer 3 is made. On the surface of the base plate proper collector region 1, Mo or Pt electrode 4 is provided to make a Schottky barrier and this is connected with a base electrode through an insulating film. Further in order to prevent the resistance of collector region, then the cathode side of the barrier is connected with collector electrode through the layer 6 and the base plate end elevation. Said elevation is low resisting on account of many recombination centers due to the cutting time strain and absorption impurities and moreover far lower resisting than the collector region inside the semiconductor. With said constitution the Schottky barrier diode built-in transistor, which checks surplus

base current,
can be prepared.

COPYRIGHT: (C) 1980, JPO&Japio